



JRW

PATENT  
ATTORNEY DOCKET NO.: 049128-5134

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of: )  
Byoung Ho LIM )  
Application No.: 10/669,378 ) Group Art Unit: 2871  
Filed: September 25, 2003 ) Examiner: DUONG, Tai V.  
For: LIQUID CRYSTAL DISPLAY PANEL )  
AND METHOD OF FABRICATING )  
THE SAME )

Commissioner for Patents  
Alexandria, VA 22314

*MS Issue Fee*

**CLAIM FOR PRIORITY**

Under the provisions of 35 U.S.C. §119, Applicant hereby claims the benefit of the filing date of Japanese Patent Application No. 2002-60784 filed October 5, 2002 for the above-identified United States Patent Application.

In support of Applicant's claim for priority, filed herewith is one certified copy of the Japanese application.

Respectfully submitted,

**MORGAN, LEWIS & BOCKIUS LLP**

A handwritten signature in black ink, appearing to read "Robert J. Goodell".

Robert J. Goodell, Reg. No. 41,040

Dated: July 28, 2005

**MORGAN, LEWIS & BOCKIUS LLP**  
**Customer No. 009629**  
1111 Pennsylvania Avenue, N.W.  
Washington, D.C. 20004  
(202)739-3000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0060784  
Application Number

no59

출 원 년 월 일 : 2002년 10월 05일  
Date of Application OCT 05, 2002

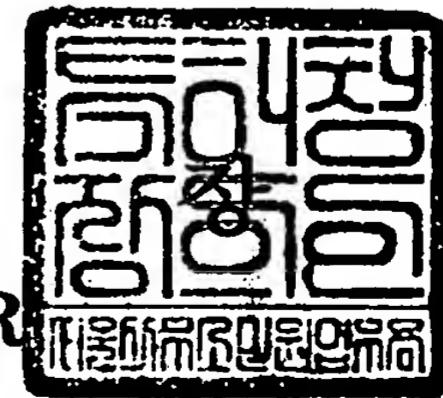
출 원 인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 03 월 17 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF  
PRIORITY DOCUMENT

## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2002.10.05		
【발명의 명칭】	액정표시패널 및 그 제조방법		
【발명의 영문명칭】	Liquid Crystal Display Panel And Fabricating Method Thereof		
【출원인】			
【명칭】	엘지 .필립스 엘시디 주식회사		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	김영호		
【대리인코드】	9-1998-000083-1		
【포괄위임등록번호】	1999-001050-4		
【발명자】			
【성명의 국문표기】	임병호		
【성명의 영문표기】	LIM,Byung-Ho		
【주민등록번호】	621125-1117215		
【우편번호】	730-200		
【주소】	경상북도 구미시 봉곡동 391번지 현대 아파트 101동 902호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 호 (인) 김영호		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	13	면	13,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	42,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 화질을 향상시킬 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시패널은 게이트라인과, 게이트라인과 교차되게 형성되는 데 이터라인과, 게이트라인과 데이터라인의 교차로 정의되는 영역에 형성되며, 게이트라인과 데이터라인을 사이에 두고 서로 다른 극성의 데이터신호가 공급되는 화소전극들과, 데이터라인 하부에 상기 데이터라인을 따라 형성되는 반도체층과, 데이터라인을 따라 데 이터라인의 양쪽에 분리되어 데이터라인 및 반도체층의 가장자리와 중첩되도록 형성되는 차광패턴들을 구비하는 것을 특징으로 한다.

**【대표도】**

도 7

**【명세서】****【발명의 명칭】**

액정표시패널 및 그 제조방법{Liquid Crystal Display Panel And Fabricating Method Thereof}

**【도면의 간단한 설명】**

도 1은 종래의 액정표시패널의 하부기판을 나타내는 평면도이다.

도 2는 도 1에서 선 "A-A'"를 따라 절취한 액정표시패널의 하부기판을 나타내는 단면도이다.

도 3a 내지 도 3d는 도 2에 도시된 액정표시패널의 하부기판의 제조방법을 나타내는 단면도이다.

도 4a 및 도 4b는 도 1에서 선 "B-B'"를 따라 절취한 액정표시패널의 하부기판을 나타내는 단면도이다.

도 5는 종래 차광패턴이 형성된 액정표시패널의 하부기판을 나타내는 평면도이다.

도 6은 도 5에서 선 "C-C'"를 따라 절취한 액정표시패널의 하부기판을 나타내는 단면도이다.

도 7은 본 발명에 따른 액정표시패널의 하부기판을 나타내는 평면도이다.

도 8에서 선 "D-D'", "E-E'"를 따라 절취한 액정표시패널의 하부기판을 나타내는 단면도이다.

도 9는 도 8에 도시된 차광패턴들과 화소전극간의 캐패시턴스를 나타내는 도면이다.

도 10a 내지 도 10d는 도 8에 도시된 액정표시패널의 하부기판의 제조방법을 나타내는 단면도이다.

도 11a 내지 도 11e는 도 10b에 도시된 제2 마스크공정을 상세히 나타내는 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

1,31 : 하부기판      2,32 : 게이트라인

4,34 : 데이터라인      6,36 : 게이트전극

8,38 : 소스전극      10,40 : 드레인전극

12,42 : 게이트절연막      14,44 : 활성층

16,46 : 오믹접촉층      18,48 : 보호층

22,52 : 화소전극      24, 54a,54b : 차광패턴

30,60 : 박막트랜지스터

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <20> 본 발명은 액정표시패널에 관한 것으로, 특히 화질을 향상시킬 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.
- <21> 통상의 액정표시소자는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시소자는 액정셀들이 매트릭스 형태로 배열되어진 액정표시패널과, 이 액정표시패널을 구동하기 위한 구동회로를 구비하게 된다. 액정표시패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련되게 된다. 통상, 화소전극은 하부기판 상에 액정셀별로 형성되는 반면 공통전극은 상부기판의 전면에 일체화되어 형성되게 된다. 화소전극들 각각은 스위치 소자로 사용되는 박막 트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)에 접속되게 된다. 화소전극은 박막 트랜지스터를 통해 공급되는 데이터신호에 따라 공통전극과 함께 액정셀을 구동하게 된다.
- <22> 이러한 액정표시소자의 하부기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조공정이 복잡하여 액정패널의 제조단가 상승의 중요원인이 되고 있다. 이를 해결하기 위하여, 하부기판은 마스크공정수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 증착공정, 세정공정, 포토리쏘그래피공정, 식각공정, 박리공정 및 검사공정 등과 같은 여러 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 5마스크공정에서 하나의 마스크 공정을 줄인 4마스크 공정이 대두되고 있다.

- <23> 도 1 및 도 2는 4마스크공정으로 형성되는 액정표시패널하부기판을 나타내는 평면도 및 단면도이다.
- <24> 도 1 및 도 2를 참조하면, 액정표시패널의 하부기판(1)은 데이터라인(4)과 게이트라인(2)의 교차부에 위치하는 TFT(30)와, TFT(30)의 드레인전극(10)에 접속되는 화소전극(22)을 구비한다.
- <25> TFT(30)는 게이트라인(2)에 접속된 게이트전극(6), 데이터라인(4)에 접속된 소스전극(8) 및 드레인접촉홀(20)을 통해 화소전극(22)에 접속된 드레인전극(10)을 구비한다.
- <26> 게이트전극(6)은 데이터라인(4)과 일부영역이 중첩되며, 데이터라인과 중첩되는 영역의 최상측면이 소정각도로 경사지게 형성되며, 데이터라인과 중첩되는 영역의 네크부(10a)와, 화소전극(22)과 중첩되는 헤드부(10b)를 갖도록 형성된다. 소스전극(8)은 "C"자 형태의 채널을 사이에 두고 드레인전극(10)의 네크부(10a)의 양측면을 마주보도록 데이터라인(4)의 두 영역에서 돌출되도록 형성된다.
- <27> 또한, TFT(30)는 게이트전극(6)에 공급되는 게이트전압에 의해 소스전극(8)과 드레인전극(10)간에 도통채널을 형성하기 위한 반도체층들(14, 16)을 더 구비한다. 이러한 TFT(30)는 게이트라인(2)으로부터의 게이트신호에 응답하여 데이터라인(4)으로부터의 데이터신호를 선택적으로 화소전극(22)에 공급한다.
- <28> 화소전극(22)은 데이터라인(4)과 게이트라인(2)에 의해 분할된 셀 영역에 위치하며 광투과율이 높은 투명전도성물질로 이루어진다. 화소전극(22)은 하부기판(1) 전면에 도포되는 보호층(18) 상에 형성되며, 보호층(18)을 관통하는 드레인접촉홀(20)을 통해

드레인전극(10)과 전기적으로 접속된다. 이러한 화소전극(22)은 TFT(30)를 경유하여 공급되는 데이터신호에 의해 상부기판(도시하지 않음)에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기판(1)과 상부기판(도시하지 않음) 사이에 위치하는 액정은 유전율이방성에 기인하여 회전하게 된다. 이렇게 회전되는 액정에 의해 광원으로부터 화소전극(22)을 경유하여 입사되는 광을 상부기판쪽으로 투과시키게 된다.

<29> 이러한 액정표시패널의 하부기판의 제조방법을 도 3a 내지 도 3d를 결부하여 설명하기로 한다.

<30> 도 3a를 참조하면, 하부기판(1) 상에 게이트전극(6) 및 게이트라인(2)이 형성된다.

<31> 이를 위해, 하부기판(1) 상에 스퍼터링(sputtering) 등의 증착방법으로 게이트금속층이 증착된다. 게이트금속층은 알루미늄(Al) 또는 알루미늄합금 등으로 이루어진다. 게이트금속층이 제1 마스크를 이용한 포토리쏘그래피공정과 식각공정을 패터닝됨으로써 하부기판(1) 상에 게이트전극(6) 및 게이트라인(2)이 형성된다.

<32> 도 3b를 참조하면, 게이트전극(6) 및 게이트라인(2)이 형성된 하부기판(1) 상에 게이트절연막(12), 활성층(14), 오믹접촉층(16), 데이터라인(4), 소스전극(8) 및 드레인전극(10)이 형성된다.

<33> 이를 위해, 게이트전극(6) 및 게이트라인(2)이 형성된 하부기판(1) 상에 화학기상증착(Chemical Vapor Deposition) 또는 스퍼터링 등의 증착방법을 통해 게이트절연막(12), 제1 및 제2 반도체층 및 데이터금속층이 순차적으로 증착된다. 여기서, 게이트절

연막(12)은 무기절연물질인 산화실리콘(SiO<sub>x</sub>) 또는 질화실리콘(SiN<sub>x</sub>) 등이 이용되며, 제1 반도체층은 불순물이 도핑되지 않은 비정질실리콘 등이 이용되며, 제2 반도체층은 N형 또는 P형의 불순물이 도핑된 비정질실리콘으로 형성되며, 데이터금속층은 몰리브덴(Mo) 또는 몰리브덴 합금 등이 이용된다.

- <34> 데이터금속층 상에 제2 마스크를 이용한 포토리쏘그래피공정으로 포토레지스트패턴이 형성된다. 이 경우, 제2 마스크로는 TFT의 채널부에 반투과부를 갖는 반투과마스크를 이용함으로써 채널부와 대응되는 포토레지스트패턴은 소스/드레인전극과 대응되는 포토레지스트패턴보다 상대적으로 낮은 높이를 갖게 한다.
- <35> 이러한 포토레지스트패턴을 이용한 습식식각공정으로 데이터금속층이 패터닝됨으로써 데이터라인(4), 소스전극(8) 및 드레인전극(10)이 형성된다.
- <36> 이 후, 동일한 포토레지스트패턴을 이용한 건식식각공정으로 제1 및 제2 반도체층이 동시에 패터닝됨으로써 활성층(14) 및 오믹접촉층(16)이 형성된다.
- <37> 그리고, 채널에서 상대적으로 낮은 높이를 갖는 포토레지스트패턴은 애싱(Ashing) 공정으로 제거되며, 잔존하는 포토레지스트패턴을 이용한 건식식각공정으로 채널부에 형성되는 데이터금속층 및 오믹접촉층이 식각된다. 이에 따라, 채널부의 활성층(14)이 노출되어 소스전극(8) 및 드레인전극(10)이 분리되어 형성된다.
- <38> 이 후, 스트립공정으로 소스전극(8) 및 드레인전극(10)에 잔존하는 포토레지스트패턴이 제거된다.
- <39> 도 3c를 참조하면, 소스전극(8), 드레인전극(10) 및 데이터라인이 형성된 게이트절연막(12) 상에 드레인접촉홀(20)을 갖는 보호막(18)이 형성된다.

- <40> 이를 위해, 소스전극(8), 드레인전극(10) 및 데이터라인이 형성된 게이트절연막(12) 상에 절연물질이 증착됨으로써 보호막(18)이 형성된다. 보호막(18)으로는 질화실리콘(SiNx) 및 산화실리콘(SiOx) 등의 무기절연물질 또는 아크릴(Acrylic)계 유기화합물, BCB(benzocyclobutene) 및 PFCB(perfluorocyclobutane) 등의 유기 절연물질 등이 이용된다. 이어서, 보호막(18)은 제3 마스크를 이용한 포토리쏘그래피공정과 식각공정으로 패터닝됨으로써 드레인접촉홀(20)이 형성된다. 드레인접촉홀(20)은 보호막(18)을 관통하여 드레인전극(10)이 노출되게 형성된다.
- <41> 도 3d를 참조하면, 보호막(18) 상에 화소전극(22)이 형성된다.
- <42> 이를 위해, 보호막(18)이 형성된 하부기판(1) 상에 스퍼터링(sputtering) 등과 같은 증착방법으로 투명금속층이 형성된다. 투명금속층은 인듐-탄-옥사이드(Indium-Tin-Oxide : ITO), 인듐-징크-옥사이드(Indium-Zinc-Oxide : IZO) 또는 인듐-탄-징크-옥사이드(Indium-Tin-Zinc-Oxide : ITZO) 등으로 이루어진다. 이어서, 투명금속층이 제4 마스크를 이용한 포토리쏘그래피공정과 식각공정으로 패터닝됨으로써 화소전극(22)이 형성된다. 화소전극(22)은 보호막(18)을 관통하는 드레인접촉홀(20)을 통해 드레인전극(10)과 접속된다.
- <43> 이러한 액정표시패널에서는 데이터금속층과 반도체층을 동일마스크로 패터닝하여 활성층(14), 오믹접촉층(16), 데이터라인(4), 소스전극(8) 및 드레인전극(10)이 형성된다. 이 경우, 건식식각가스에 대한 식각속도는 반도체층보다 데이터금속층이 빠르므로 반도체층은 데이터금속층보다 상대적으로 넓은 폭을 갖도록 형성된다. 즉, 데이터라인(4) 하부에 위치하는 활성층(14)은 데이터라인(4)보다 넓은 폭을 갖도록 형성되며, 소스

전극(8) 및 드레인전극(10)하부에 위치하는 활성층(14)도 이들보다 넓은 폭을 갖도록 형성된다.

<44> 이에 따라, 백라이트를 이용해 구동되는 액정표시패널에 있어서 백라이트의 온/오프에 따라 활성층(14)의 전도도가 달라지게 된다. 즉, 백라이트가 오프(off)일 때는 활성층(14)이 부도체되는 반면에 백라이트가 온(on)일 때는 백라이트의 광에 의해 활성층(14)의 전도도가 증가하게 되어 활성층이 도체가 된다.

<45> 따라서, 활성층(14)이 도체가 되는 경우에는 활성층(14)과 화소전극(22) 간의 거리가 데이터라인(4)과 화소전극(22) 간의 거리보다 가깝기 때문에 도 4a에 도시된 바와 같이 활성층(14)과 화소전극(22) 간에 제1 캐패시턴스(Cdp1)가 발생된다. 반면에 활성층(14)이 부도체가 되는 경우에는 도 4b에 도시된 바와 같이 데이터라인(4)과 화소전극(22) 간에 제2 캐패시턴스(Cdp2)가 발생된다.

<46> 이와 같이 백라이트의 온/오프에 의해 발생되는 활성층(14)과 화소전극(22) 간에 제1 캐패시턴스(Cdp1)와 데이터라인(4)과 화소전극(22) 간에 제2 캐패시턴스(Cdp2) 차이로 인하여 표시화면에 물결모양이 표시되어 화질저하를 발생하게 된다.

<47> 이러한 문제점을 해결하기 위해, 도 5 및 도 6에 도시된 바와 같이 데이터라인을 따라 형성되는 차광패턴을 갖는 액정표시패널가 제안되었다.

<48> 도 5 및 도 6를 참조하면, 액정표시패널의 차광패턴(24)은 기판(1) 상에 게이트금 속층으로 데이터라인(4) 하부에 형성되는 활성층(14)보다 상대적으로 넓은 폭을 갖도록 형성된다. 이에 따라, 데이터라인(4)보다 상대적으로 넓은 폭을 갖는

활성층(14)이 백라이트의 온/오프에 따라 전도도가 달라지는 것을 방지할 수 있다. 또한, 백라이트 온/오프에 상관없이 게이트절연막(12) 및 보호막(18)을 사이에 두고 형성되는 차광패턴(24)과 화소전극(22) 간에 캐패시턴스의 용량값(C1,C2)이 동일해져 화질이 저하되는 것을 방지할 수 있다.

<49> 그러나, 이 액정표시패널를 도트 인버션 방식으로 구동할 경우 화소전극에 충전된 전압이 누설되는 경우가 발생하는 문제점이 있다.

<50> 이를 상세히 설명하면, 데이터라인(4)을 사이에 두고 제1 및 제2 화소전극(22',22)이 형성된다. 도트인버션 방식으로 구동될 경우, 제1 화소전극(22')에 정극성의 화소전압이 충전되면, 제2 화소전극(22)에는 부극성의 화소전압이 충전된다. 제1 및 제2 화소전극(22',22) 각각과 캐패시턴스(C1,C2)를 형성하는 차광패턴(24)을 통해 제1 화소전극(22')에 충전된 정극성 화소전압이 제1 및 제2 캐패시턴스(C1,C2)와 저항(R)을 통해 제2 화소전극(22)으로 누설된다. 이에 따라, 화질이 저하되는 문제점이 있다.

### 【발명이 이루고자 하는 기술적 과제】

<51> 따라서, 본 발명의 목적은 화질을 향상시킬 수 있는 액정표시패널 및 그 제조방법을 제공하는 데 있다.

### 【발명의 구성 및 작용】

<52> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널은 게이트라인

과, 게이트라인과 교차되게 형성되는 데이터라인과, 게이트라인과 데이터라인의 교차로 정의되는 영역에 형성되며, 게이트라인과 데이터라인을 사이에 두고 서로 다른 극성의 데이터신호가 공급되는 화소전극들과, 데이터라인 하부에 상기 데이터라인을 따라 형성되는 반도체층과, 데이터라인을 따라 상기 데이터라인의 양쪽에 분리되어 상기 데이터라인 및 반도체층의 가장자리와 중첩되도록 형성되는 차광패턴들을 구비하는 것을 특징으로 한다.

<53> 상기 반도체층은 상기 데이터라인보다 상대적으로 폭이 넓게 형성되는 것을 특징으로 한다.

<54> 상기 차광패턴들은 상기 게이트라인과 동일금속으로 동일층에 형성되는 것을 특징으로 한다.

<55> 상기 차광패턴은 알루미늄, 알루미늄-네오듐, 구리 등으로 형성되는 것을 특징으로 한다.

<56> 상기 액정표시패널은 데이터라인, 소스전극 및 드레인전극을 덮도록 형성되는 보호막을 추가로 구비하는 것을 특징으로 한다.

<57> 상기 보호막은 무기절연물질로 형성되는 것을 특징으로 한다.

<58> 상기 차광패턴들은 화소전극과 적어도 약  $1\mu m$ 정도 이격되게 형성되며, 상기 차광패턴들끼리는 적어도 약  $4\mu m$ 를 사이에 두고 이격되게 형성되는 것을 특징으로 한다.

<59> 상기 보호막은 유기절연물질로 형성되어 상기 화소전극과 상기 차광패턴들이 중첩되도록 형성되는 것을 특징으로 한다.

- <60> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널의 제조방법은 기판 상에 제1 마스크를 이용하여 게이트전극, 게이트라인 및 소정간격을 두고 이격되는 차광패턴들을 형성하는 단계와, 게이트전극, 게이트라인 및 차광패턴들이 형성된 기판 상에 제2 마스크를 이용하여 소스전극 및 드레인전극을 형성함과 동시에 상기 소정간격을 두고 이격되는 차광패턴들과 일부영역이 중첩되도록 반도체층 및 데이터라인을 형성하는 단계와, 반도체층, 소스전극, 드레인전극 및 데이터라인이 형성된 기판 상에 제3 마스크를 이용하여 보호막을 형성하는 단계와, 보호막 상에 제4 마스크를 이용하여 화소전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <61> 상기 차광패턴들은 화소전극과 약  $1\mu\text{m}$ 정도 이격되게 형성되며, 상기 차광패턴들끼리는 적어도 약  $4\mu\text{m}$ 를 사이에 두고 이격되게 형성되는 것을 특징으로 한다.
- <62> 상기 차광패턴은 알루미늄, 알루미늄-네오듐, 구리 등으로 형성되는 것을 특징으로 한다.
- <63> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <64> 이하, 도 7 내지 도 11e를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.
- <65> 도 7은 본 발명에 따른 액정표시패널의 하부기판을 나타내는 평면도이며, 도 8은 도 7에서 선 "D-D'"와,"E-E'"를 따라 절취한 액정표시패널의 하부기판을 나타내는 단면도이다.

- <66> 도 7 및 도 8을 참조하면, 본 발명에 따른 액정표시패널의 하부기판(31)은 데이터라인(34)과 게이트라인(32)의 교차부에 위치하는 TFT(60)와, TFT(60)의 드레인전극(40)에 접속되는 화소전극(52)을 구비한다.
- <67> TFT(60)는 게이트라인(32)에 접속된 게이트전극(36), 데이터라인(34)에 접속된 소스전극(38) 및 화소전극(52)에 접속된 드레인전극(40)을 구비한다.
- <68> 게이트전극(36)은 게이트라인(32)에서 돌출되어 데이터라인(34)과 일부영역이 중첩되도록 형성되며, 데이터라인과 중첩되는 영역의 상부는 소정각도로 경사지게 형성된다. 드레인전극(40)은 게이트전극(36)과 중첩되는 네크부(40a)와, 화소전극(52)과 중첩되는 헤드부(40b)를 갖도록 형성된다. 소스전극(38)은 "C"자 형태의 채널을 사이에 두고 드레인전극(40)의 네크부(40a)를 마주보도록 데이터라인(34)의 두 영역에서 돌출되도록 형성된다.
- <69> 또한, TFT(60)는 게이트전극(36)에 공급되는 게이트전압에 의해 소스전극(38)과 드레인전극(40)간에 채널을 형성하기 위한 반도체층들(44,46)을 더 구비한다. 이러한 TFT는 게이트라인(32)으로부터의 게이트신호에 응답하여 데이터라인(34)으로부터의 데이터신호를 선택적으로 화소전극(52)에 공급한다.
- <70> 화소전극(52)은 데이터라인(34)과 게이트라인(32)에 의해 분할된 셀 영역에 위치하며 광투과율이 높은 투명전도성물질로 이루어진다. 화소전극(52)은 보호막(48) 상에 형성되며, 드레인전극(40)과 전기적으로 접속된다. 이러한 화소전극(52)은 TFT(60)를 경유하여 공급되는 데이터신호에 의해 상부기판(도시하지 않음)에 형성되는 공통전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기판(31)과 상부기판(도시하지 않음) 사이에 위치하는 액정은 유전율이 방성에 기인하여 회전하게 된다. 이렇

게 회전되는 액정에 의해 광원으로부터 화소전극(52)을 경유하여 상부기판 쪽으로 투과 되는 광량이 조절된다.

<71> 본 발명에 따른 액정표시패널에서는 데이터라인(34)의 양쪽 가장자리와 일부 중첩 되도록 제1 및 제2 차광패턴(54a,54b)이 서로 분리되어 형성한다. 이 제1 및 제2 차광 패턴(54a,54b)은 게이트금속층으로 데이터라인(34)을 따라 하부기판(31) 상에 형성된다.

<72> 제1 차광패턴(54a)은 데이터라인(34)의 좌측 가장자리와 일부 중첩되도록 형성되며, 제2 차광패턴(54b)은 데이터라인(34)의 우측 가장자리와 일부 중첩되도록 형성된다. 제1 및 제2 차광패턴(54a,54b)은 보호막(48)이 무기질연물질로 형성될 경우 제1 및 제2 화소전극(52',52)과 소정간격을 유지해야 한다. 또는 보호막(48)이 유기질 연물질로 형성될 경우 제1 및 제2 차광패턴(54a,54b) 각각은 제1 및 제2 화소전극(52',52)과 일부 중첩되도록 형성된다.

<73> 이러한 제1 및 제2 차광패턴(54a,54b)은 플로팅(floating)상태로 데이터라인(34) 하부에서 도 9에 도시된 바와 같이 서로 이격되도록 형성된다. 이 때, 제1 및 제2 차광 패턴(54a,54b) 사이의 제2 거리(d2)는 제1 및 제2 차광패턴(54a,54b) 각각과 제1 및 제2 화소전극(52',52) 간의 제1 거리(d1)보다 크게 형성된다. 예를 들어, 제1 거리(d1)가 약  $1\mu\text{m}$ 이면, 제2 거리(d4)는 적어도 약  $4\mu\text{m}$ 이다.

<74> 제1 차광패턴(54a)과 제1 화소전극(52') 간의 제1 캐패시턴스(C1)와 제2 차

광패턴(54b)과 제2 화소전극(52) 간의 제2 캐패시턴스(C2)의 용량값은 동일하다. 반면에, 제1 차광패턴(54a)과 제2 차광패턴(54b) 사이의 즉, 제1 및 제2 저항(R1,R2) 사이의 제3 캐패시턴스(C3)는 제1 및 제2 캐패시턴스의 전극간 거리보다 상대적으로 멀기 때문에 제1 및 제2 캐패시턴스(C1,C2)의 용량값보다 상대적으로 작다.

<75> 이에 따라, 도트 인버젼 방식으로 구동되는 액정표시패널은 제1 화소전극(52')에 충전된 정극성 전압이 제3 캐패시턴스(C3)에 의해 정극성전압을 유지하지 못하므로 제2 화소전극(52)에 충전된 부극성 전압에 영향을 주지 못한다.

<76> 또한, 제1 및 제2 차광패턴(54a,54b)은 데이터라인(34) 하부에 위치하는 활성층(44)의 양쪽 가장자리와도 중첩되도록 형성됨으로써 제1 및 제2 차광패턴(54a,54b)은 백라이트에서 출사되는 광을 차단하게 된다. 이에 따라, 백라이트의 온/오프에 따른 활성층(44)의 광전류의 발생을 억제하게 된다

<77> 도 10a 내지 도 10d는 도 8에 도시된 액정표시패널의 하부기판의 제조방법을 나타내는 단면도이다.

<78> 도 10a를 참조하면, 하부기판(31) 상에 게이트전극(36), 게이트라인(32) 및 제1 및 제2 차광패턴(54a,54b)이 형성된다.

<79> 이를 위해, 하부기판(31) 상에 스퍼터링(sputtering) 등의 증착방법으로 게이트 금속층이 증착된다. 게이트 금속층으로는 단층구조로 알루미늄(A1) 또는 알루미늄-네오듐(A1Nd) 등이 이용된다. 이어서, 도시하지 않은 제1 마스크가 하부기판(31) 상에 정렬되고, 노광, 현상공정을 포함하는 포토리쏘그래피 공정과 식각공정으로

게이트 금속층이 패터닝된다. 이에 따라, 하부기판(31) 상에는 게이트전극(36), 게이트라인(32) 및 차광패턴(54a, 54b)이 형성된다.

<80> 도 10b를 참조하면, 게이트전극(36), 게이트라인(32) 및 차광패턴(54a, 54b)이 형성된 하부기판(31) 상에 게이트절연막(42), 활성층(44), 오믹접촉층(46), 데이터라인(34), 소스전극(38) 및 드레인전극(40)이 형성된다.

<81> 이를 위해, 하부기판(31) 상에 화학기상증착방법(Chemical Vapor Deposition) 및 스퍼터링 등의 증착방법을 통해 게이트절연막(42), 제1 및 제2 반도체층(45, 47) 및 데이터금속층(39)이 순차적으로 형성된다.

<82> 게이트절연막(42)은 무기절연물질인 산화실리콘(SiO<sub>x</sub>) 또는 질화실리콘(SiN<sub>x</sub>)으로 형성되며, 제1 반도체층(45)은 불순물이 도핑되지 않은 비정질실리콘으로 형성되며, 제2 반도체층(47)은 N형 또는 P형의 불순물이 도핑된 비정질실리콘으로 형성되며, 데이터금속층(39)은 몰리브덴(Mo) 또는 몰리브덴 합금 등으로 형성된다.

<83> 이어서, 도시하지 않은 제2 마스크가 하부기판(31) 상에 정렬되고, 노광, 현상공정을 포함하는 포토리쏘그래피 공정과 식각공정으로 제1 및 제2 반도체층과 데이터금속층이 패터닝된다. 이에 따라, 하부기판(31) 상에는 활성층(44), 오믹접촉층(46), 데이터라인(34), 소스전극(38) 및 드레인전극(40)이 형성된다.

<84> 이러한 활성층(44), 오믹접촉층(46), 데이터라인(34), 소스전극(38) 및 드레인전극(40)을 형성하기 위한 제2 마스크공정은 후술하기로 한다.

<85> 도 10c를 참조하면, 데이터라인(34), 소스 및 드레인전극(38, 40)이 형성된 하부기판(31) 상에 드레인접촉홀(50)을 갖는 보호막(48)이 형성된다.

- <86> 이를 위해, 데이터라인(34), 소스 및 드레인전극(38,40)이 형성된 하부기판(31) 상에 절연물질이 전면 증착됨으로써 보호막이 형성된다. 보호막(48)으로는 질화실리콘(SiNx) 및 산화실리콘(SiOx) 등의 무기절연물질 또는 아크릴(Acryl)계 유기화합물, BCB(benzocyclobutene) 및 PFCB(perfluorocyclobutane) 등의 유기 절연물질 등이 이용된다.
- <87> 이러한 보호막(48)이 형성된 하부기판(31) 상에 정렬된 제3 마스크를 이용하여 노광 및 현상공정을 포함하는 포토리쏘그래피공정과 식각공정에 의해 보호막(48)이 패터닝되어 드레인접촉홀(50)이 형성된다. 드레인접촉홀(50)은 보호막(48)을 관통하여 드레인전극(40)을 노출시키게 된다.
- <88> 도 10d를 참조하면, 보호막(48)이 형성된 하부기판(31) 상에 화소전극(52)이 형성된다.
- <89> 이를 위해, 보호막(48) 상에 스퍼터링 등의 증착방법으로 투명 전도성 물질이 전면 증착된다. 투명 전도성 물질은 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO) 및 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 중 어느 하나로 선택될 수 있다. 이 투명 전도성 물질이 증착된 하부기판(31) 상에 정렬된 제4 마스크를 이용한 포토리쏘그래피공정과 식각공정을 통해 투명전도성물질이 패터닝됨으로써 화소전극(52)이 형성된다.
- <90> 도 11a 내지 도 11e는 도 10b에 도시된 제2 마스크공정을 상세히 나타내는 단면도.
- <91> 도 11a를 참조하면, 게이트라인(32), 게이트전극(36), 제1 및 제2 차광패턴(54a, 54b)이 형성된 하부기판(31) 상에 게이트절연막(42), 제1 및 제2 반도체층(45, 47)

및 데이터금속층(39)이 순차적으로 형성된다. 그리고, 포토레지스트(68)를 전면 도포한 다음, 하부기판(31) 상에 반투과마스크 또는 회절마스크인 제2 마스크(MS)가 정렬된다. 여기서, 제2 마스크(MS)는 투명한 마스크기판(70)의 부분노광영역(S2)에 형성되는 부분 투과층(64)과, 차단영역(S1)에 형성되는 차단층(62)을 구비한다. 그리고, 제2 마스크(MS)는 전면 노광영역(S0)에서 투명한 마스크기판(70)이 그대로 노출되게 형성된다.

<92>        도 11b를 참조하면, 제2 마스크(MS)를 이용한 포토리쏘그래피공정에 의해 제2 마스크(MS)의 전면 노광영역(S0)을 통해 전면 노광된 포토레지스트는 모두 제거되고, 차단영역(S1)과 부분노광영역(S2)을 통해 노광되지 않거나 부분 노광된 포토레지스트패턴(66)이 형성된다. 특히, 포토레지스트패턴(66)에서 제2 마스크(MS)의 차단층(62)에 의해 노광되지 않은 제1 포토레지스트패턴(66a)은 제1 높이를 갖도록 형성되며, 제2 마스크(MS)의 부분투과층(64)에 의해 부분 노광된 제2 포토레지스트패턴(66b)은 제1 높이보다 상대적으로 낮은 제2 높이를 갖도록 형성된다.

<93>        도 11c를 참조하면, 포토레지스트패턴(66)을 마스크로 이용한 건식식각공정으로 데이터금속층(39), 제1 및 제2 반도체층(45,47)이 동시에 패터닝된다. 이에 따라, 동일한 패턴 형태의 활성층(44), 오믹접촉층(46), 데이터라인(34,64), 데이터금속패턴(37)이 형성된다. 여기서, 데이터라인(34)은 제1 및 제2 차광패턴(54a,54b)이 데이터라인(34)의 양측 가장자리와 일부 중첩되도록 형성된다.

<94>        포토레지스트패턴(66)에서 제2 높이를 갖는 제2 포토레지스트패턴(66b)은 플라즈마를 이용한 에싱공정으로 제거되고, 제1 포토레지스트패턴(66a)은 일정 높이가 낮아진 상태로 남게 된다.

<95> 도 11d를 참조하면, 제2 포토레지스트패턴(66b)이 제거된 포토레지스트패턴(66)을 이용한 식각공정으로 TFT(60)의 채널부의 데이터금속패턴(39)의 일부가 제거됨으로써 소스전극(38)과 드레인전극(40)이 분리되어 형성된다. 포토레지스트패턴(66)을 이용하여 분리된 소스전극(38) 및 드레인전극(40)으로 노출된 오믹접촉층(46)이 건식식각공정으로 제거됨으로써 활성층(44)이 노출되게 하여 채널이 형성된다.

<96> 이 후, 스트립공정으로 데이터라인(34), 소스 및 드레인전극(38,40)에 잔존하는 포토레지스트패턴(70)이 도 11e에 도시된 바와 같이 제거된다.

### 【발명의 효과】

<97> 상술한 바와 같이, 본 발명에 따른 액정표시패널 및 그 제조방법은 데이터라인을 따라 데이터라인의 양쪽 가장자리와 일부 중첩되도록 제1 및 제2 차광패턴을 형성한다. 제1 및 제2 차광패턴은 데이터라인보다 폭이 넓게 형성되는 활성층을 가려줌으로써 백라이트로부터 출사되는 광에 의해 증가되는 광여기전류를 억제할 수 있다. 또한, 제1 및 제2 차광패턴이 화소전극과 이격된 거리보다 제1 및 제2 차광패턴끼리 이격된 거리가 상대적으로 멀기 때문에 제1 및 제2 화소전극에 충전된 전압이 누설되는 것을 방지할 수 있다.

<98> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

게이트라인과,

상기 게이트라인과 교차되게 형성되는 데이터라인과,

상기 게이트라인과 데이터라인의 교차로 정의되는 영역에 형성되며, 게이트라인과  
데이터라인을 사이에 두고 서로 다른 극성의 데이터신호가 공급되는 화소전극들과,

상기 데이터라인 하부에 상기 데이터라인을 따라 형성되는 반도체층과,

상기 데이터라인을 따라 상기 데이터라인의 양쪽에 분리되어 상기 데이터라인 및  
반도체층의 가장자리와 중첩되도록 형성되는 차광패턴들을 구비하는 것을 특징으로 하는  
액정표시패널.

**【청구항 2】**

제 1 항에 있어서,

상기 반도체층은 상기 데이터라인보다 상대적으로 폭이 넓게 형성되는 것을 특징으  
로 하는 액정표시패널.

**【청구항 3】**

제 1 항에 있어서,

상기 차광패턴들은 상기 게이트라인과 동일금속으로 동일층에 형성되는 것을 특징  
으로 하는 액정표시패널.

**【청구항 4】**

제 3 항에 있어서,

상기 차광패턴은 알루미늄, 알루미늄-네오듐, 구리 등으로 형성되는 것을 특징으로 하는 액정표시패널.

#### 【청구항 5】

제 1 항에 있어서,

상기 데이터라인, 소스전극 및 드레인전극을 덮도록 형성되는 보호막을 추가로 구비하는 것을 특징으로 하는 액정표시패널.

#### 【청구항 6】

제 5 항에 있어서,

상기 보호막은 무기절연물질로 형성되는 것을 특징으로 하는 액정표시패널.

#### 【청구항 7】

제 6 항에 있어서,

상기 차광패턴들은 화소전극과 적어도 약  $1\mu\text{m}$ 정도 이격되게 형성되며, 상기 차광패턴들끼리는 적어도 약  $4\mu\text{m}$ 를 사이에 두고 이격되게 형성되는 것을 특징으로 하는 액정표시패널.

#### 【청구항 8】

제 5 항에 있어서,

상기 보호막은 유기절연물질로 형성되어 상기 화소전극과 상기 차광패턴들이 중첩되도록 형성되는 것을 특징으로 하는 액정표시패널.

**【청구항 9】**

기판 상에 제1 마스크를 이용하여 게이트전극, 게이트라인 및 소정간격을 두고 이격되는 차광패턴들을 형성하는 단계와,

상기 게이트전극, 게이트라인 및 차광패턴들이 형성된 기판 상에 제2 마스크를 이용하여 소스전극 및 드레인전극을 형성함과 동시에 상기 소정간격을 두고 이격되는 차광패턴들과 일부영역이 중첩되도록 반도체층 및 데이터라인을 형성하는 단계와,

상기 반도체층, 소스전극, 드레인전극 및 데이터라인이 형성된 기판 상에 제3 마스크를 이용하여 보호막을 형성하는 단계와,

상기 보호막 상에 제4 마스크를 이용하여 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

**【청구항 10】**

제 9 항에 있어서,

상기 차광패턴들은 화소전극과 약  $1\mu\text{m}$ 정도 이격되게 형성되며, 상기 차광패턴들끼리는 적어도 약  $4\mu\text{m}$ 를 사이에 두고 이격되게 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

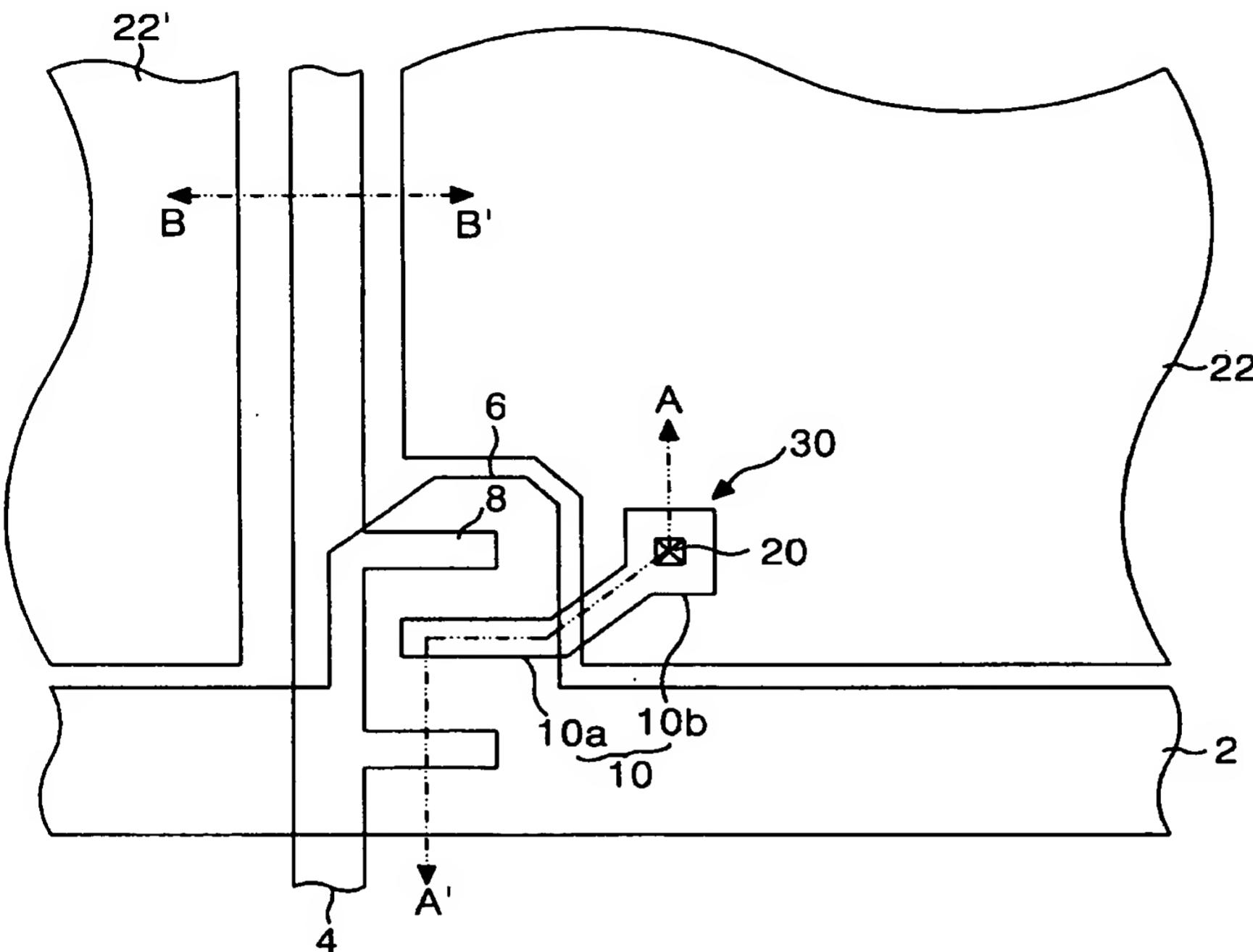
**【청구항 11】**

제 9 항에 있어서,

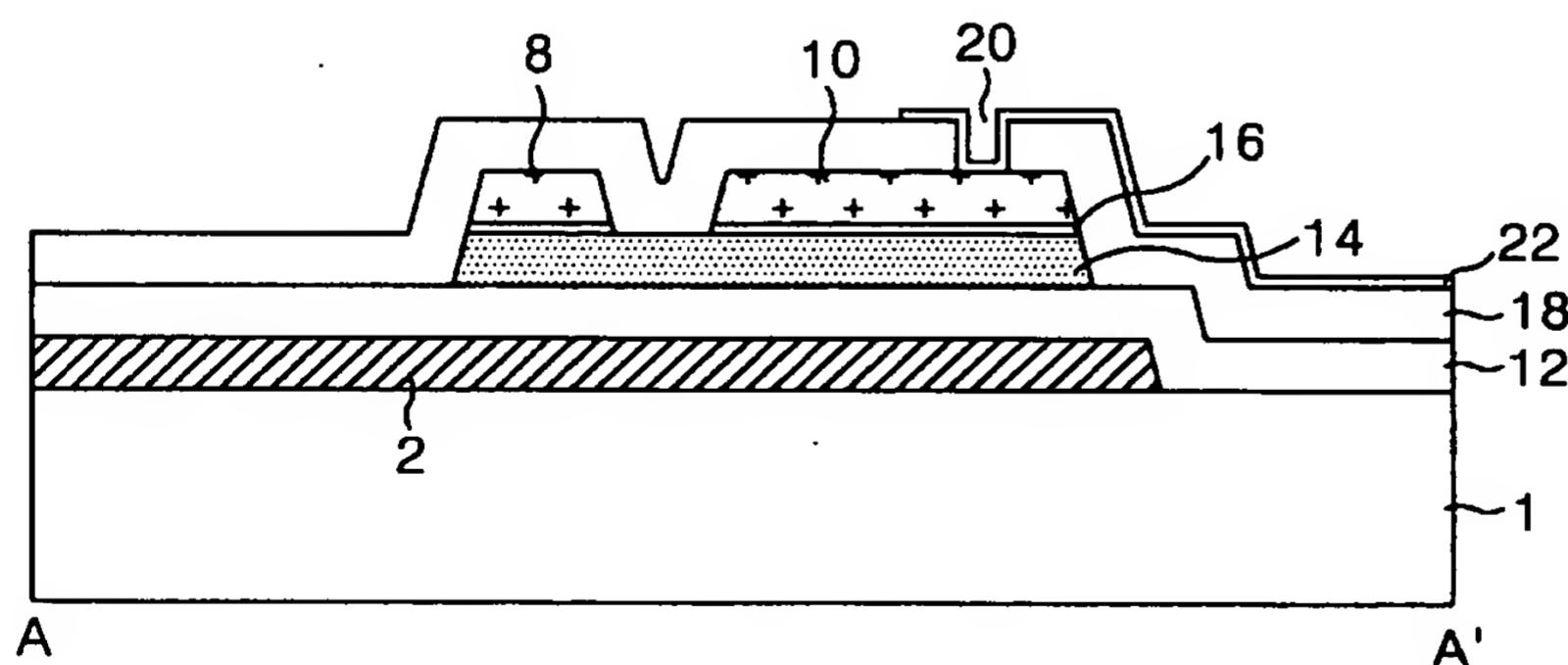
상기 차광패턴은 알루미늄, 알루미늄-네오듐, 구리 등으로 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

## 【도면】

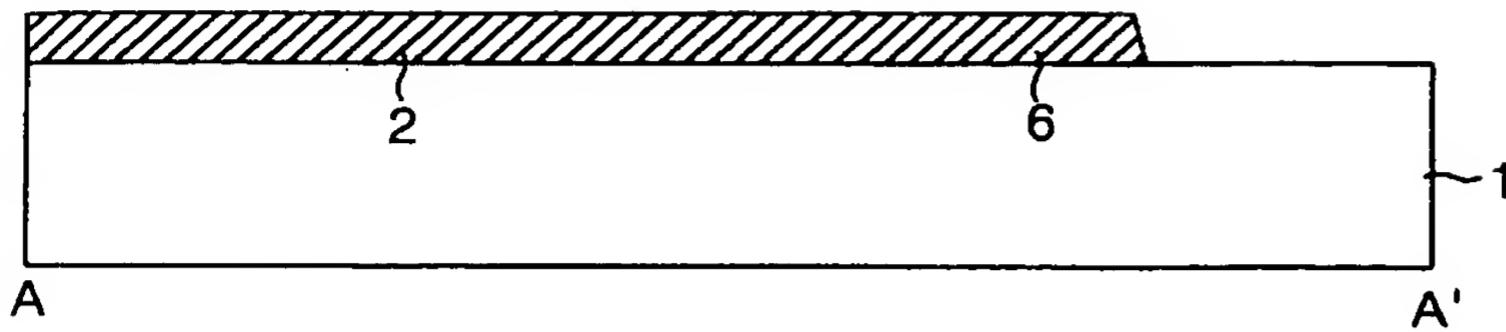
【도 1】



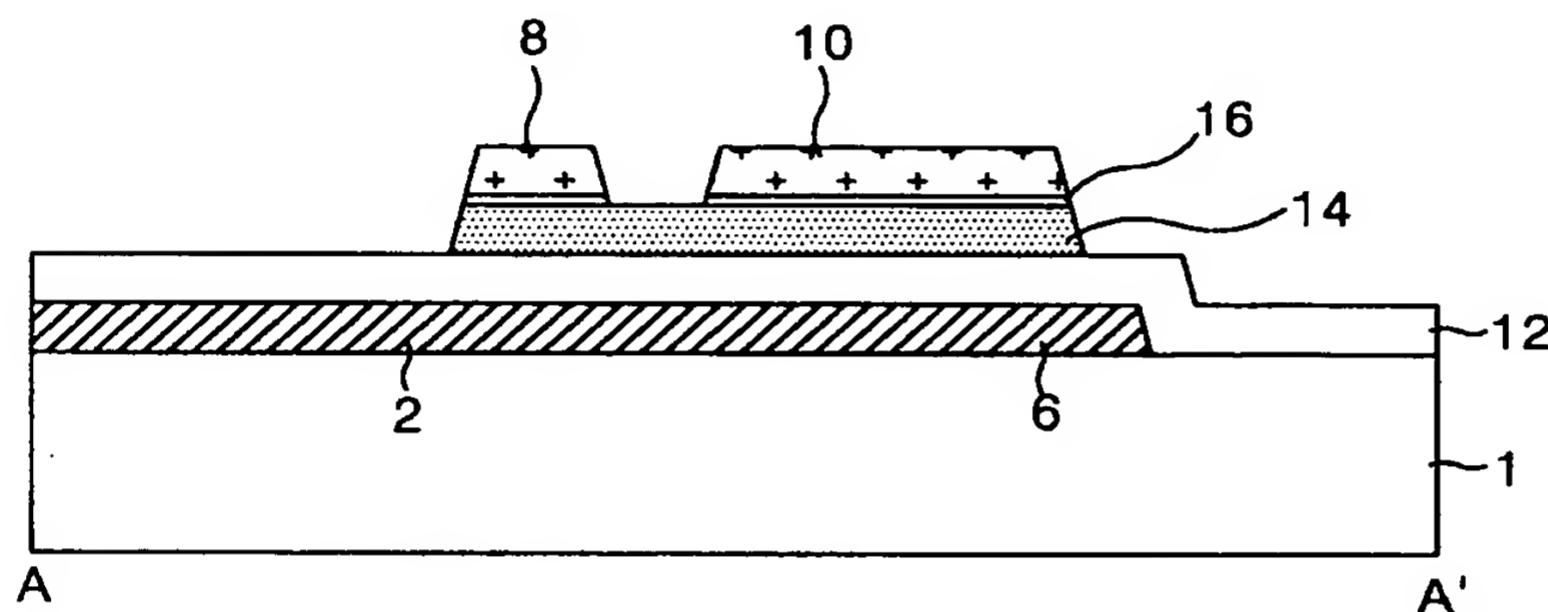
【도 2】



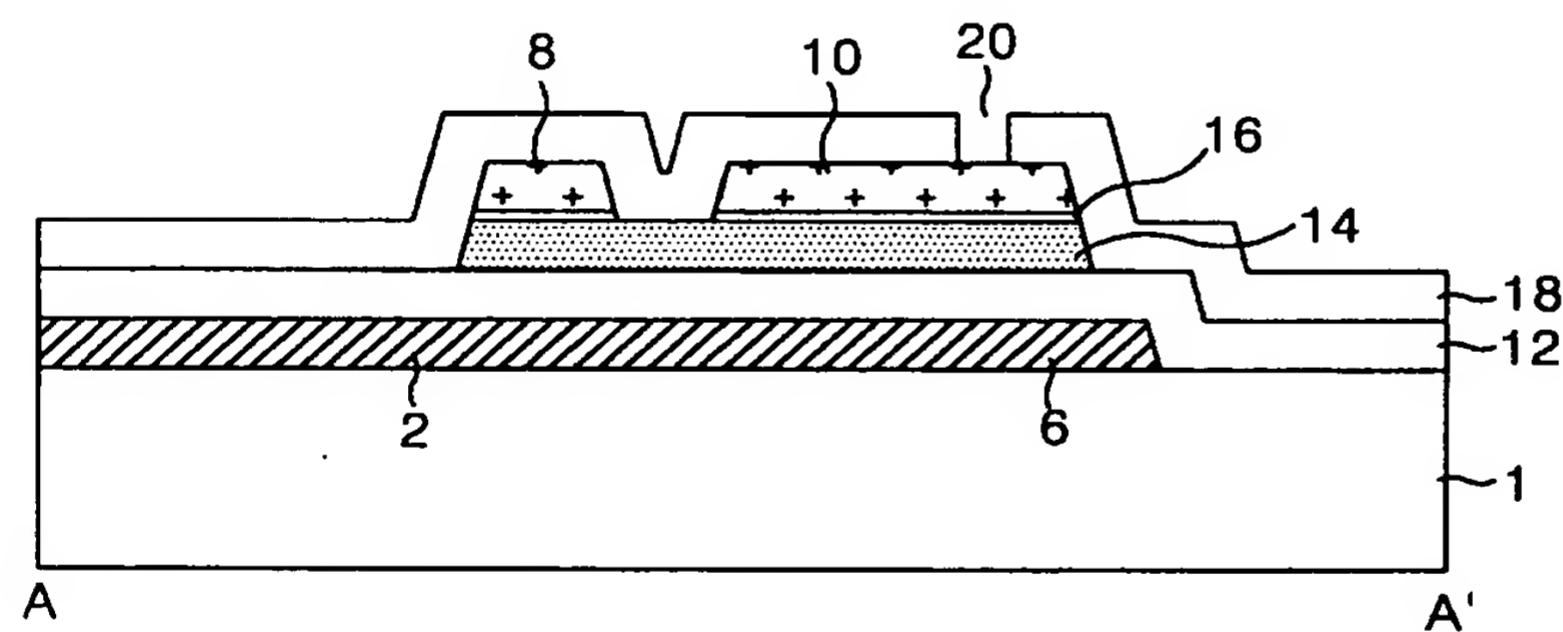
【도 3a】



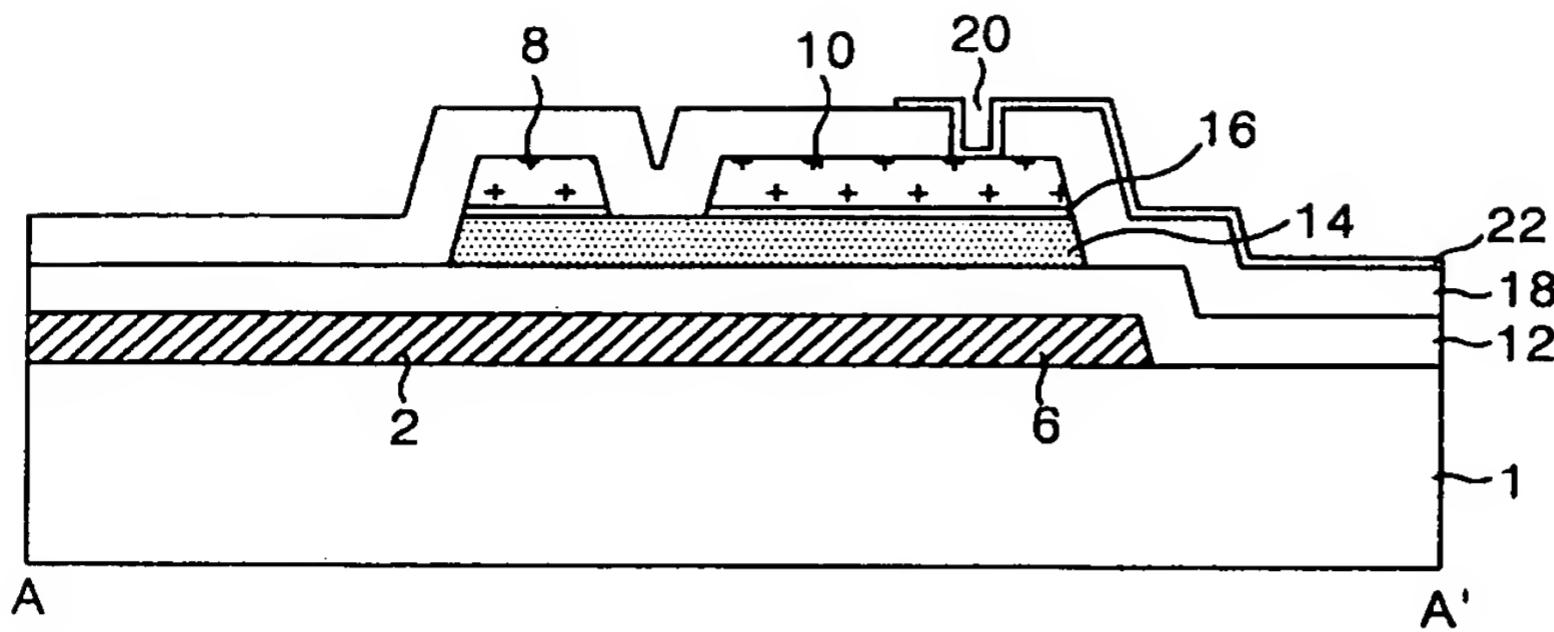
【도 3b】



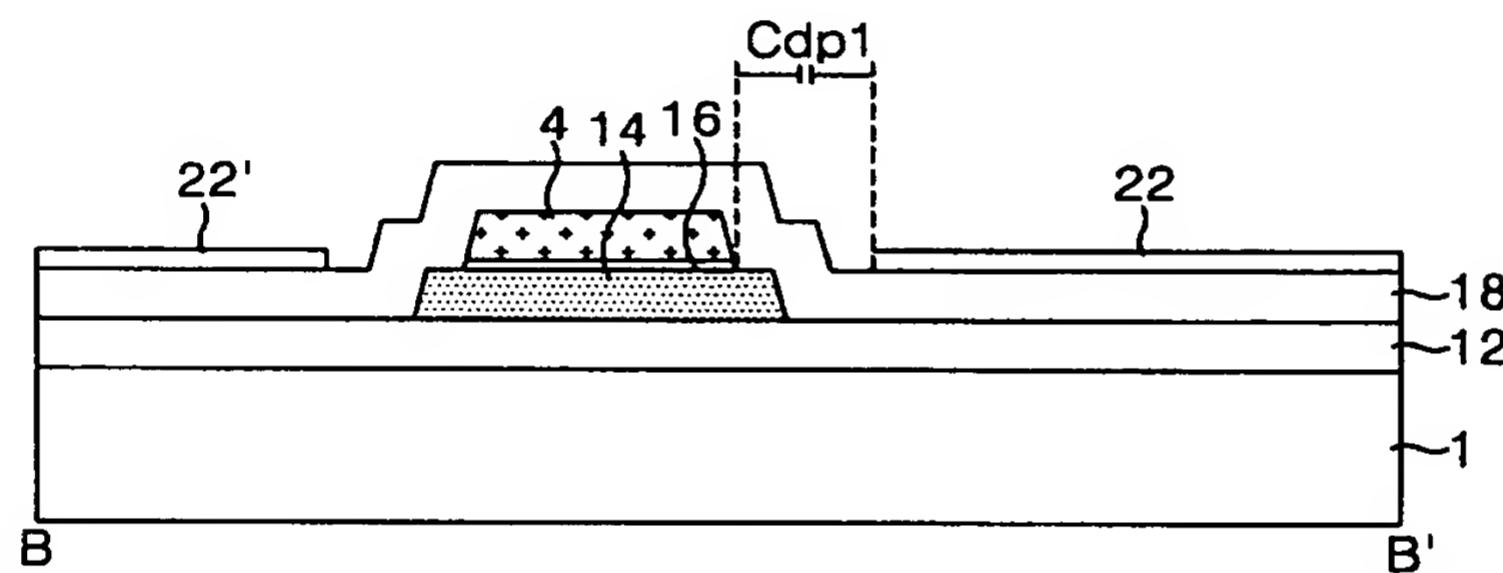
【도 3c】



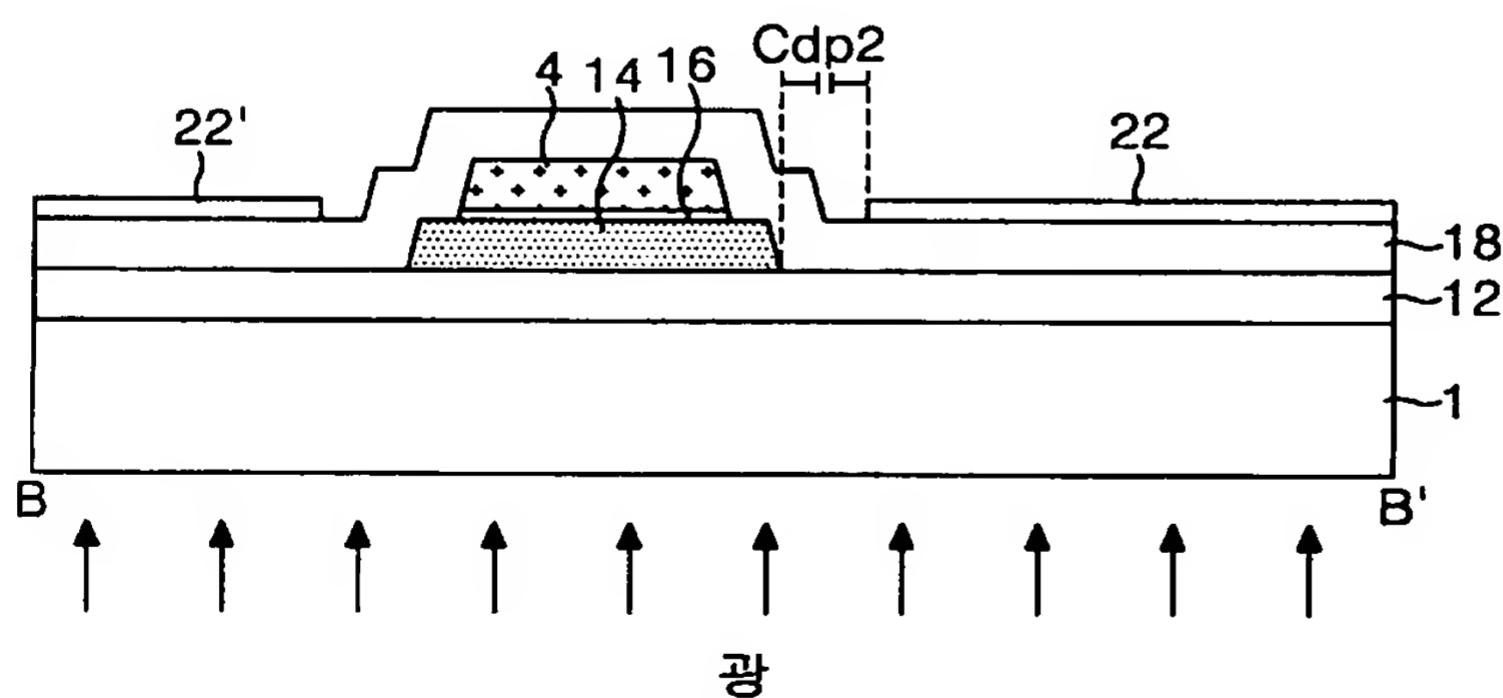
【도 3d】



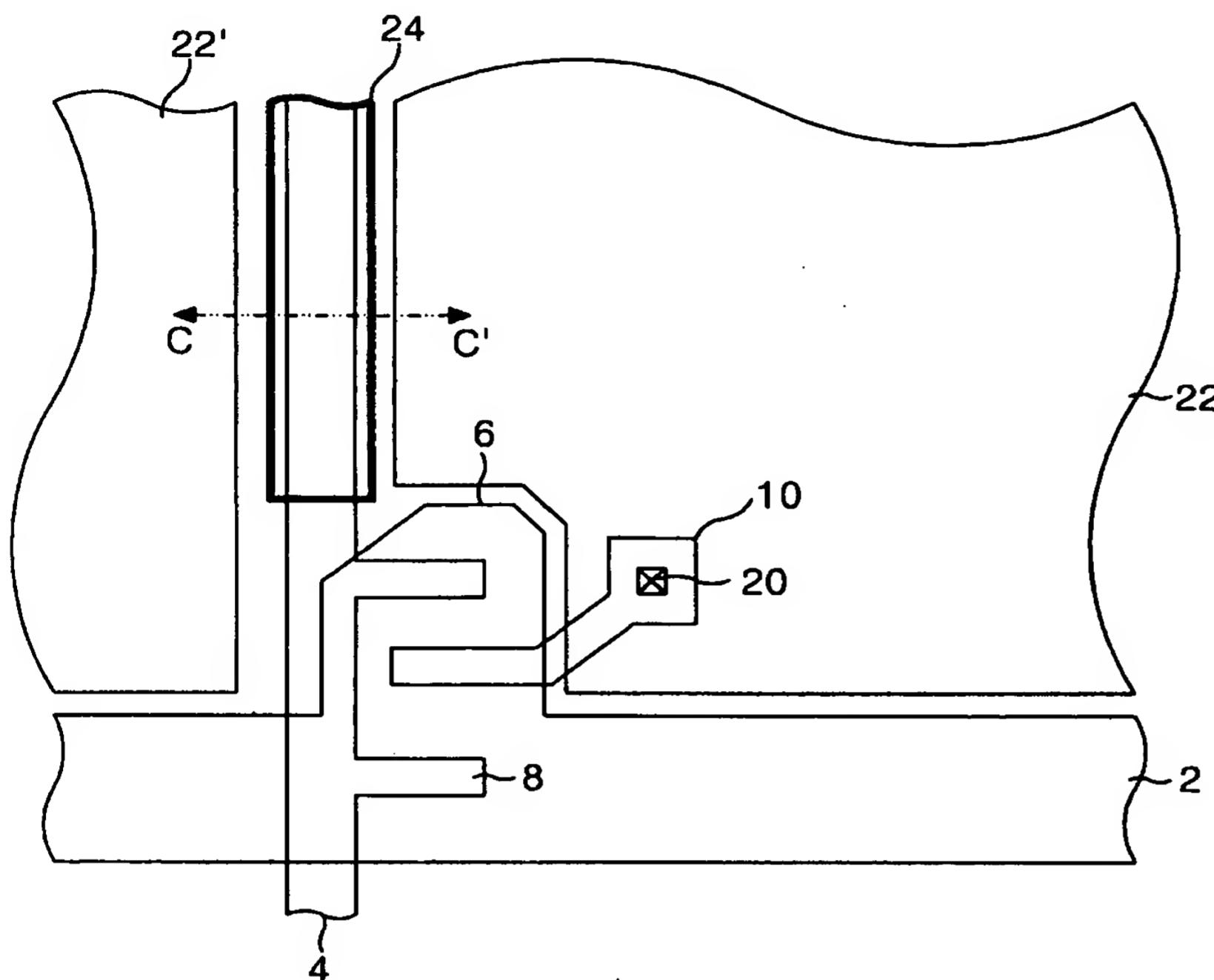
【도 4a】



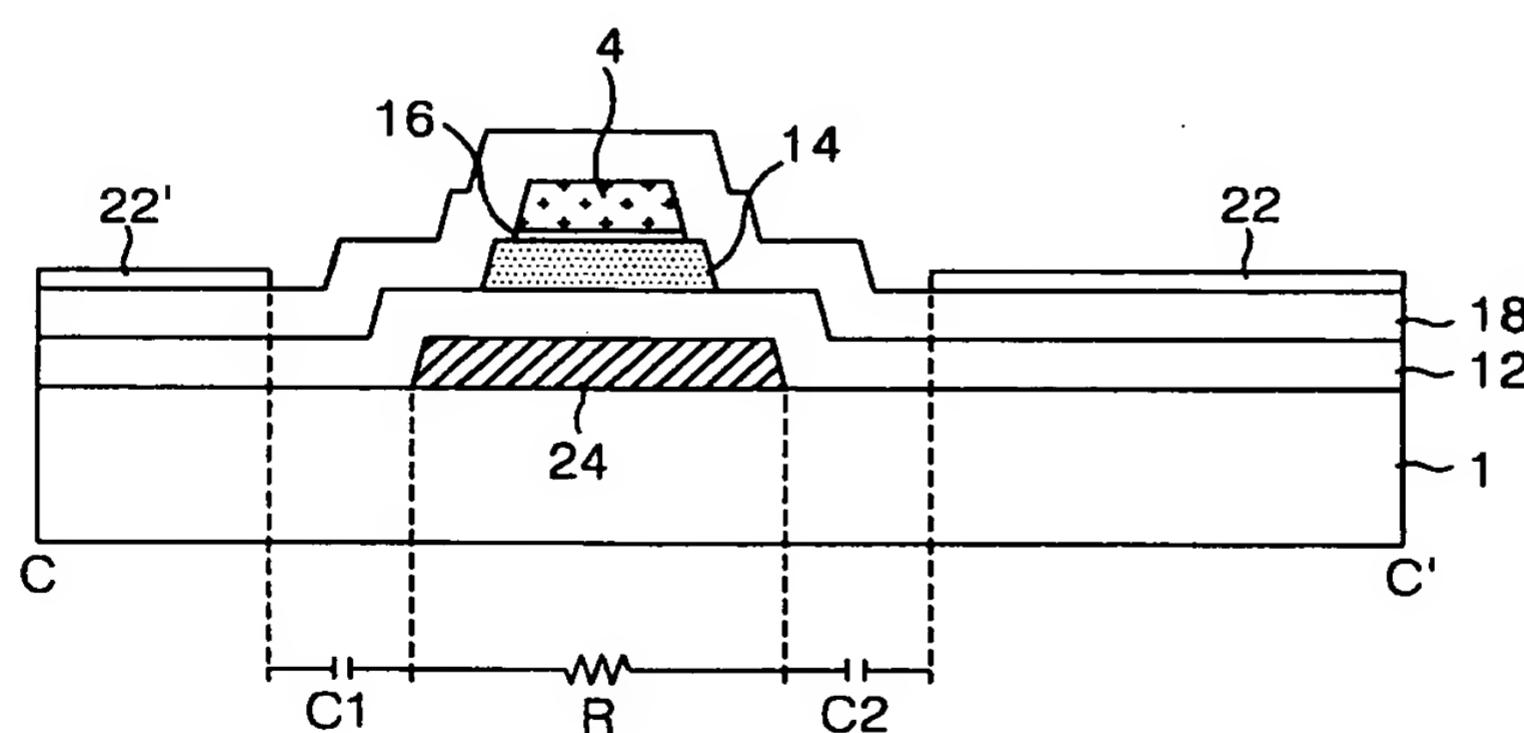
【도 4b】



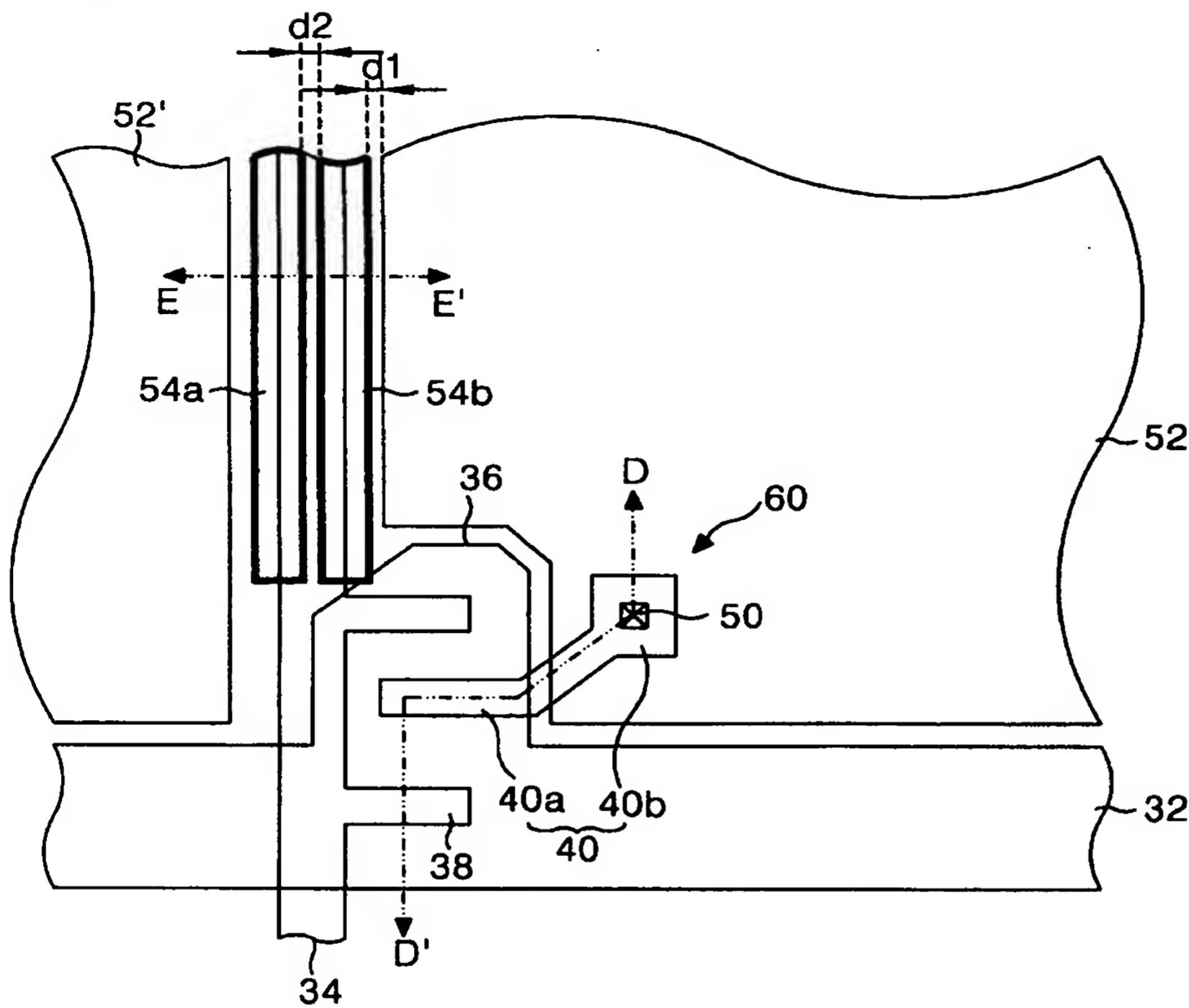
【도 5】



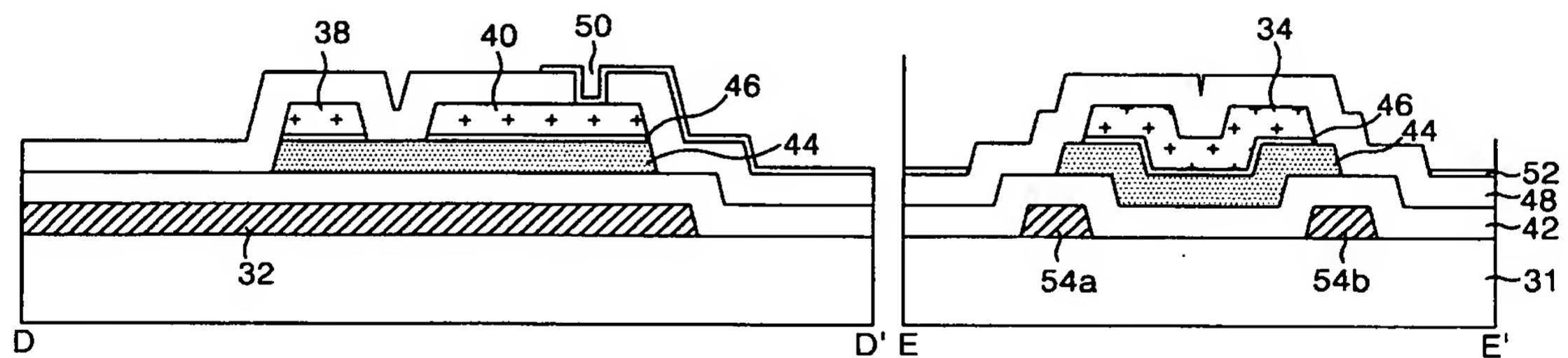
【도 6】



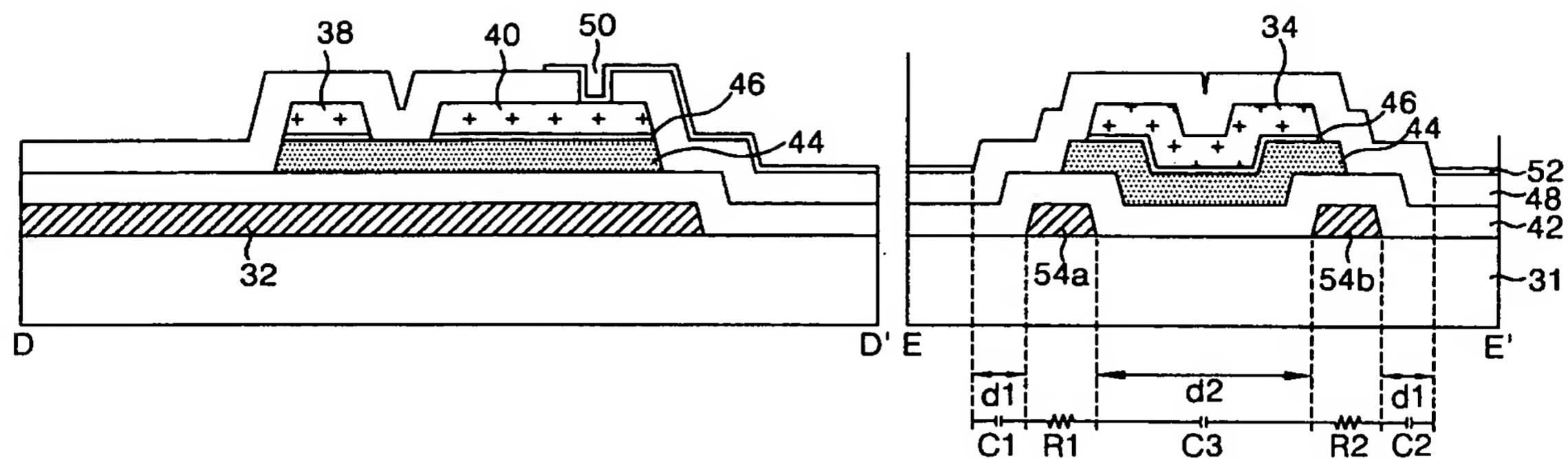
【도 7】



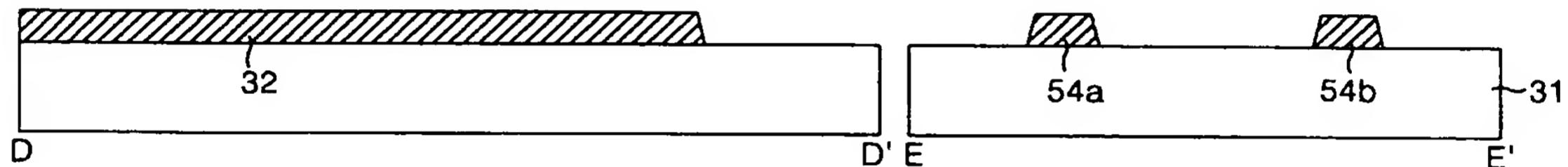
【도 8】



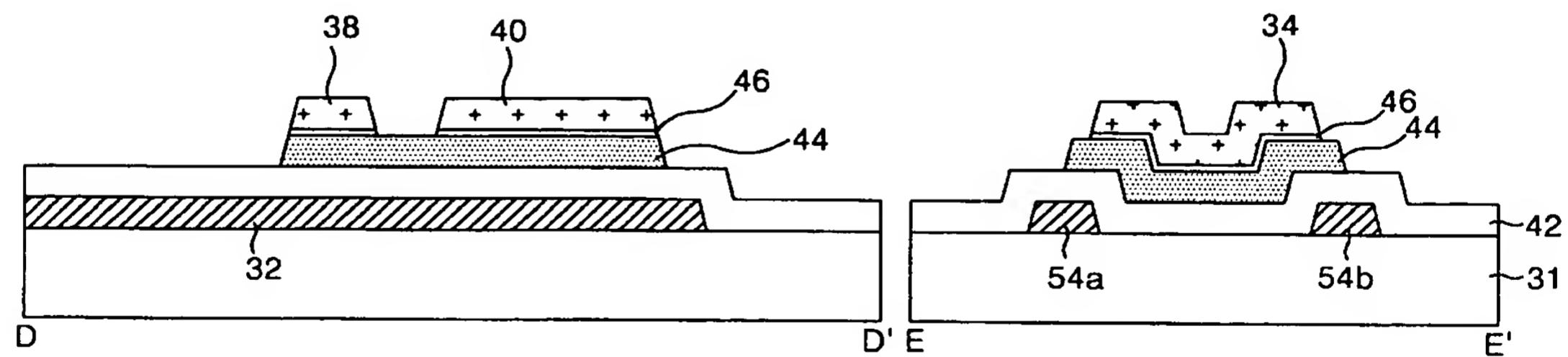
【도 9】



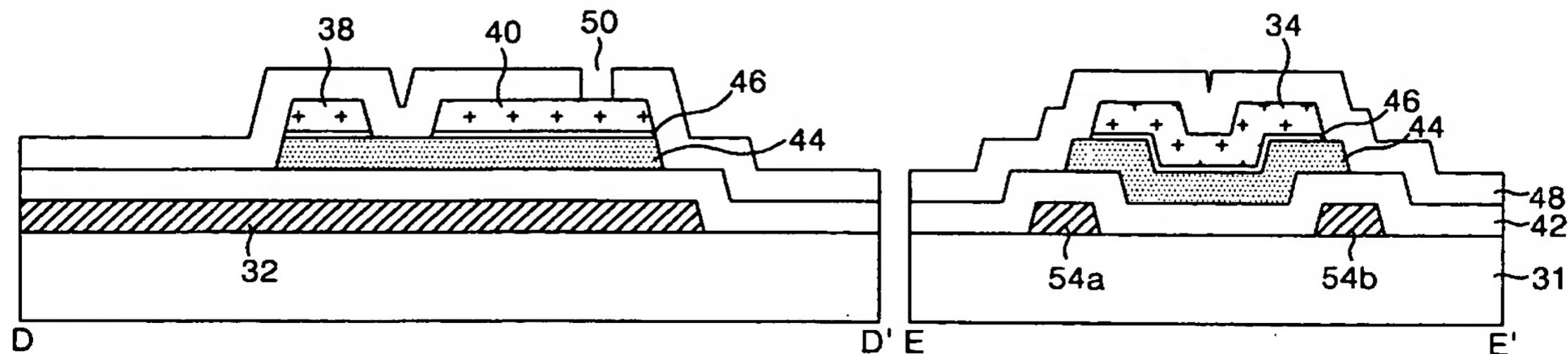
【도 10a】



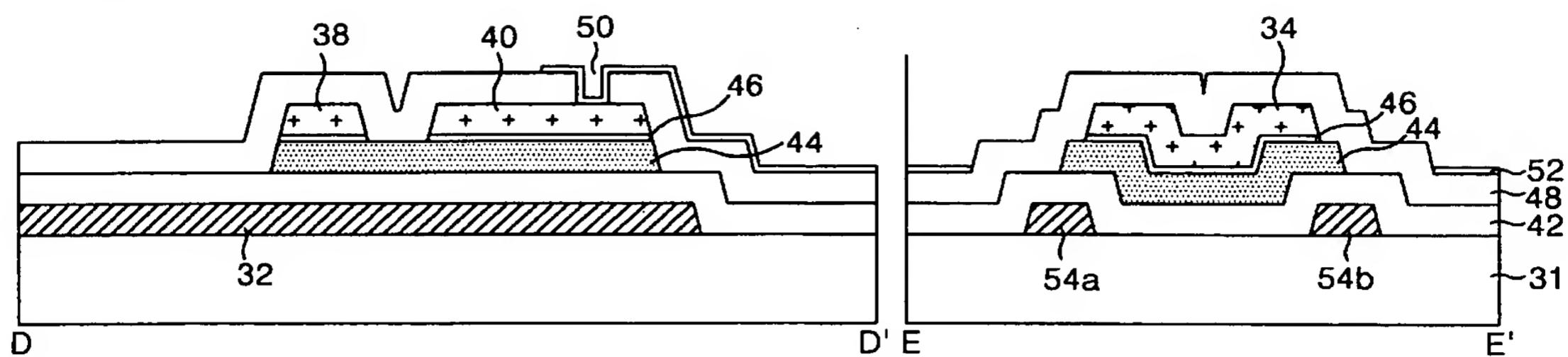
【도 10b】



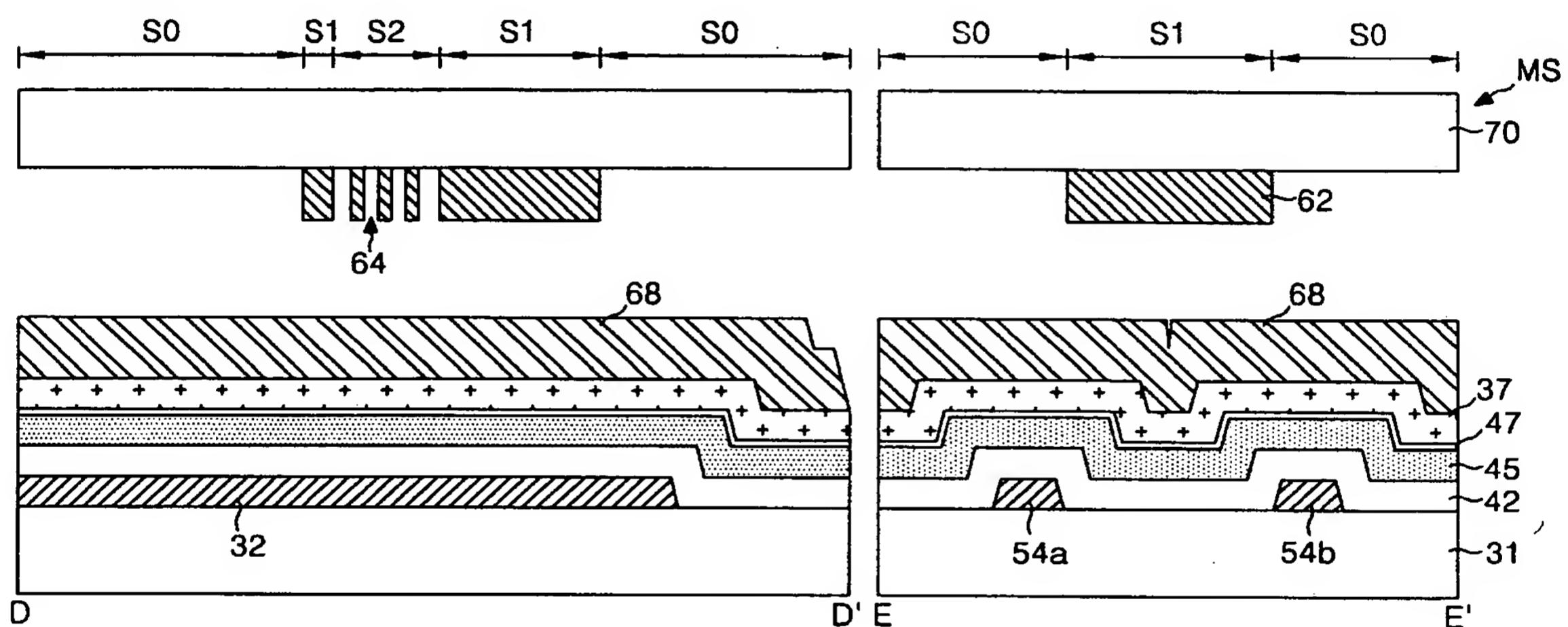
【도 10c】



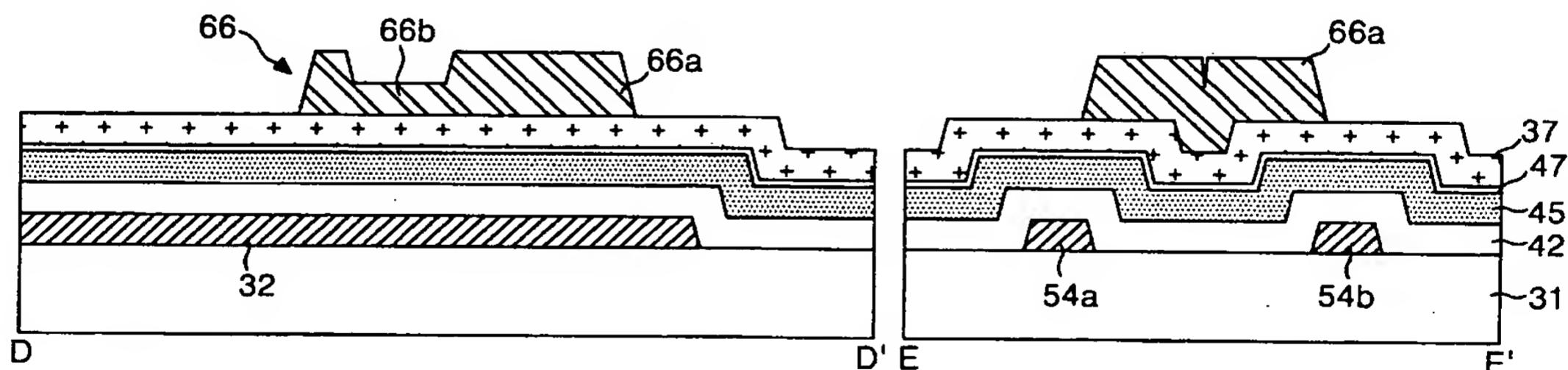
【도 10d】



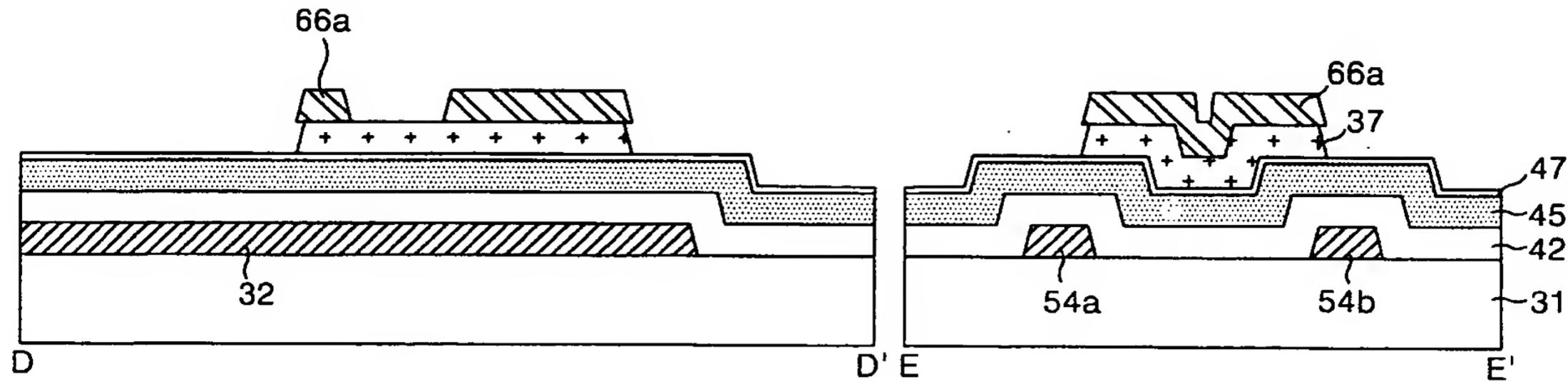
【도 11a】



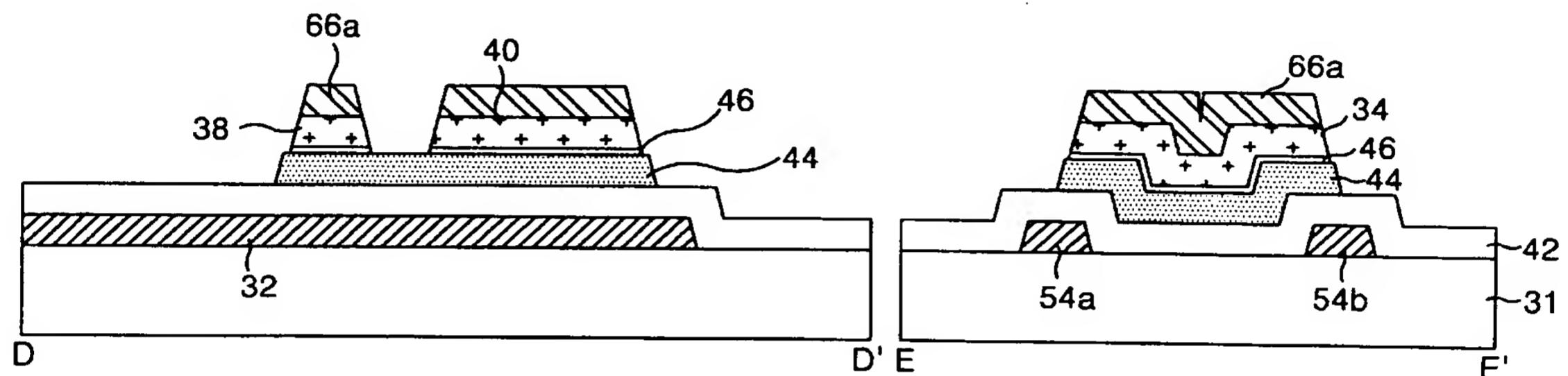
【도 11b】



【도 11c】



【도 11d】



【도 11e】

